

⑫ 公開特許公報(A) 平4-14699

⑤ Int.Cl.⁹
G 11 C 16/06

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)1月20日

9191-5L G 11 C 17/00 3 0 9 F

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 EEPROM不活性化防止装置

⑮ 特 願 平2-118933

⑯ 出 願 平2(1990)5月8日

⑰ 発 明 者 海 老 原 英 明 神奈川県横浜市港北区綱島東4丁目3番1号 松下通信工業株式会社内

⑱ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地

⑲ 代 理 人 弁理士 栗野 重孝 外1名

明 細 書

1. 発明の名称

EEPROM不活性化防止装置

2. 特許請求の範囲

アクセス自在なEEPROM(エレクトリカル・イレーザブル/プログラマブルROM)とこのEEPROMをアクセスするアクセス手段とを含む電源から電力の供給を受けるようにした電子回路システムのEEPROM不活性化防止装置であって、前記電源と前記アクセス手段とに接続され、前記電源の電圧をモニタしてその電圧の異常を検出したときに所定の信号を発生するようにした電圧異常検出手段を備え、且つ、前記アクセス手段を、この信号の発生にตอบสนองして前記EEPROMのアクセスを中止するように構成し、それによって前記EEPROMの不活性化を防止するようにした、EEPROM不活性化防止装置。

3. 発明の詳細な説明

産業上の利用分野

本発明は、エレクトリカル・イレーザブル/プ

ログラマブルROM(以下EEPROMと称す)を使用するEPROM不活性化防止装置に関する。

従来の技術

現在、コンピュータ等の、半導体メモリを備えた情報処理装置が広く使用されている。特に、情報処理装置のメモリとして、RAM等の書き替え可能な半導体メモリが使用されている場合には、その情報処理装置の電源に異常が生じた際に、メモリ内の情報が一瞬にして失われるおそれがあることが知られている。

そのため従来、重要な情報をその種のメモリに格納する情報処理装置には、バックアップ電源装置を備えるようにしていた。このバックアップ電源装置は、例えば、外部から情報処理装置へ供給されている電源の電圧をモニタし、その電圧に異常が認められたならば、その異常の影響が情報処理装置の内部に及ぶ以前に、その異常を生じた外部電源を遮断して、その代わりにバックアップ電源装置に内蔵されているバッテリーを接続するよう

にしたものである。

しかしながら、比較的消費電力の大きな大型の情報処理装置の場合には、バックアップ用のバッテリは、嵩の張る大重量のものとなり、またそのメンテナンスも容易でないものとなる。

そこで、RAMの代わりにEEPROMを使用するようにすれば、外部からの供給電力が断たれた場合にも、記憶されている情報が一時にして失われてしまうことはなくなり、そのような構成とすればバックアップ電源装置を省略することができる。それ故、従来、アクセス自在なEEPROMと、このEEPROMをアクセスするアクセス手段とを含み、電源から電力の供給を受けるようにした電子回路システムがあり、その種の電子回路システムにおいては、EEPROMへのアクセスは通常のRAM等へのアクセスと同様に行われていた。

発明が解決しようとする課題

しかしながら、その種の従来の電子回路システムでは、EEPROMへのアクセスが行われてい

る最中に供給電源電圧に異常が発生した場合には、そのアクセス動作が途中で機能中断するおそれがあり、そのため、電源電圧が正常に復帰した後も、EEPROMが活性化されず、場合によっては1週間程度不活性状態（読み書き不能状態）が続くことさえあるという問題があった。

本発明はこのような従来の問題を解決するものであり、EEPROMの不活性化を防止できる優れた電子回路装置を提供することを目的とするものである。

課題を解決するための手段

本発明は、上記目的を達成するために、電源とアクセス手段とに接続され、電源の電圧をモニタしてその電圧の異常を検出したときに所定の信号を発生するようにした電圧異常検出手段を備え、且つ、アクセス手段を、この信号の発生にตอบสนองしてEEPROMのアクセスを中止するように構成し、それによってEEPROMの不活性化を防止するようにしたものである。

作用

本発明は上記のように構成したため、電源の異常が発生した場合には、その異常の影響が電子回路システムに及ぶ以前にEEPROMへのアクセスが中止され、EEPROMの不活性化が未然に防止される。従って、バックアップ電源装置を必要とすることなく、情報及び装置の信頼性を向上させることができるという作用を有する。

実施例

以下に図面を参照しつつ本発明の一実施例について説明する。

第1図は本発明の一実施例に係るEEPROM不活性化防止装置を備えた電子回路システムの構成を示すブロック図である。図中、10は電子回路システムの全体を示す。12は外部電源であり、これは、電源断等の電圧の異常低下を生じるおそれのある電源である。14は安定化電源であり、外部電源12に接続されている。16は電圧異常検出手段であり、定電圧素子18とアナログ-デジタル変換器20とから構成されている。定電圧素子18は、外部電源12に接続されてお

り、またアナログ-デジタル変換器20は、この定電圧素子18の出力を受け取り、安定化電源14から電力の供給を受け、そしてデジタル出力を発生するように接続されている。22はマイクロプロセッサであり、安定化電源14から電力の供給を受けている。24はEEPROMであり、安定化電源14から電力の供給を受け、マイクロプロセッサ22によりアクセスされるようになっている。

第2図は、外部電源12の電圧に異常が発生したときに、第1図のEEPROM不活性化防止装置の各部に発生する電圧を示すチャートである。この図では、外部電源12の電圧異常の一例として電源断の場合を例示しており、また夫々の電圧はランブ状に変化するものとして近似的に表してある。

第2図において、31は外部電源12の出力電圧、32は安定化電源14の出力電圧、33は定電圧素子18の出力電圧であるモニタ電圧、そして34はモニタ電圧33がこのレベル以下になっ

た場合に電圧の異常低下と判断するための、基準となるスレシヨルド電圧レベルを表している。また、 T_0 は外部電源12の電源断が発生した時刻、 T_1 はモニタ電圧33がスレシヨルド電圧レベル34を割り込んで低下する時刻、 T_2 はマイクロプロセッサ24並びにEEPROM26へ供給されている安定化電源14の出力電圧32が、許容される出力電圧範囲から逸脱して低下を始める時刻である。

次に本実施例の動作について説明する。

外部電源12が時刻 T_0 において電源断を起こしたならば、それと同時にその電圧31は第2図に示すように近似的にランプ状に低下し始め、この電圧31の低下は、この外部電源12に接続されている安定化電源14と定電圧素子18とに伝わる。

安定化電源14は、通常作動時においてはその入力電圧(即ち電圧31)と出力電圧(即ち電圧32)との間にマージンが存在しているため、外部電源12の出力電圧31が低下を開始してから

安定化電源14の出力電圧32が低下を開始するまでの間には時間遅れ($T_0 - T_1$)がある。一方、定電圧素子18の出力電圧であるモニタ電圧33は、常に外部電源12の出力電圧32より一定の電圧差の分だけ低い値を取るため、時刻 T_0 から低下を開始する。そこで、スレシヨルド電圧レベル34を適当に設定することによって、定電圧電源14の出力電圧32が低下を開始する時刻 T_0 以前に、モニタ電圧33がスレシヨルド電圧レベル34を割り込む(時刻 T_1)ようにしてあり、モニタ電圧33がスレシヨルド電圧34を割り込んだということは、アナログーデジタル変換器20を介してマイクロプロセッサ20へ伝達されるようにしてある。

アナログーデジタル変換器20の出力は、例えばマイクロプロセッサ22の割込み端子へ供給されるようにしておけば良い。そして、それによって割込みがかけられたときに、マイクロプロセッサ22がEEPROM24をアクセスしていた場合には、マイクロプロセッサ22はEEPROM

24に悪影響を及ぼすことなくそのアクセス動作を速やかに中止するためのルーチンへ入り、また、そのときマイクロプロセッサ22がEEPROM24のアクセスを行っていなかったならば、マイクロプロセッサ22はEEPROM24のアクセスを開始せずに、それらへ供給されている安定化電源14の電圧32の低下が始まるのを単に待機することになる。

このように構成したことにより、外部電源12の電圧異常の影響がマイクロプロセッサ22並びにEEPROM24に及ぶ以前に、マイクロプロセッサ22によるEEPROM24のアクセスを中止させることができるようになっており、それによってEEPROM24が不活性化される(読み書き不能状態となる)ことが未然に防止されている。

尚、電圧異常検出手段20は、以上に説明した実施例では定電圧素子18とアナログーデジタル変換器20とから構成してあるが、それ以外にも、例えば定電圧素子と比較器とを組み合わせ、

その比較器の第1入力端子には安定化電源電圧を電圧分割した適当な電圧を印加し、また第2入力端子には定電圧素子の出力電圧を印加し、この比較器の出力をマイクロプロセッサへ供給するようにする等の、任意の構成とすることができる。

発明の効果

以上から明らかなように、本発明によれば、電源とアクセス手段とに接続され、電源の電圧をモニタしてその電圧の異常を検出したときに所定の信号を発生するようにした電圧異常検出手段を備え、且つ、アクセス手段を、この信号の発生にตอบสนองしてEEPROMのアクセスを中止するように構成し、それによってEEPROMの不活性化を防止するようにしたため、電源の異常が発生した場合には、その異常の影響が電子回路システムに及ぶ以前にEEPROMへのアクセスが中止され、それによって、EEPROMの不活性化というデータ再現の困難を伴う故障が未然に防止される。従って、バックアップ電源装置を必要とすることなく、情報及び装置の信頼性を向上させるこ

とができる。

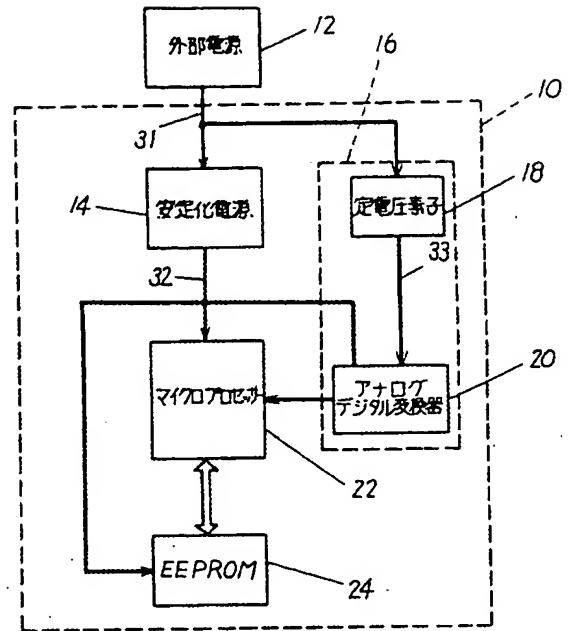
第 1 図

4. 図面の簡単な説明

第1図は本発明の一実施例に係るEEPROM不活性化防止装置を備えた電子回路システムの構成を示すブロック図、第2図は、外部電源の電圧に異常が発生したときに第1図のEEPROM不活性化防止装置の各部に発生する電圧を示すチャートである。

10…電子回路システム、12…外部電源、14…安定化電源、16…電圧以上検出手段、22…マイクロプロセッサ、24…EEPROM。

代理人の氏名 井理士 栗野 重 孝ほか1名



第 2 図

